

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-197867

(P2002-197867A)

(43) 公開日 平成14年7月12日 (2002.7.12)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
G 1 1 C 11/413		G 1 1 C 11/34	3 3 5 A 5 B 0 1 5
11/407			3 5 4 F 5 B 0 2 4
H 0 1 L 21/8244		H 0 1 L 27/10	3 8 1 5 F 0 8 3
27/11		H 0 3 K 19/00	1 0 1 B 5 J 0 5 6
H 0 3 K 19/0185			

審査請求 有 請求項の数 9 O L (全 15 頁)

(21) 出願番号 特願2000-400003 (P2000-400003)

(22) 出願日 平成12年12月28日 (2000.12.28)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 高橋 弘行

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100108578

弁理士 高橋 昭男 (外3名)

Fターム(参考) 5B015 HH04 JJ03 KB64

5B024 AA01 BA27 CA07

5F083 BS27 GA06 LA09 LA17 LA18

5J056 AA11 BB17 BB49 CC00 CC14

CC19 CC21 DD13 DD28 DD55

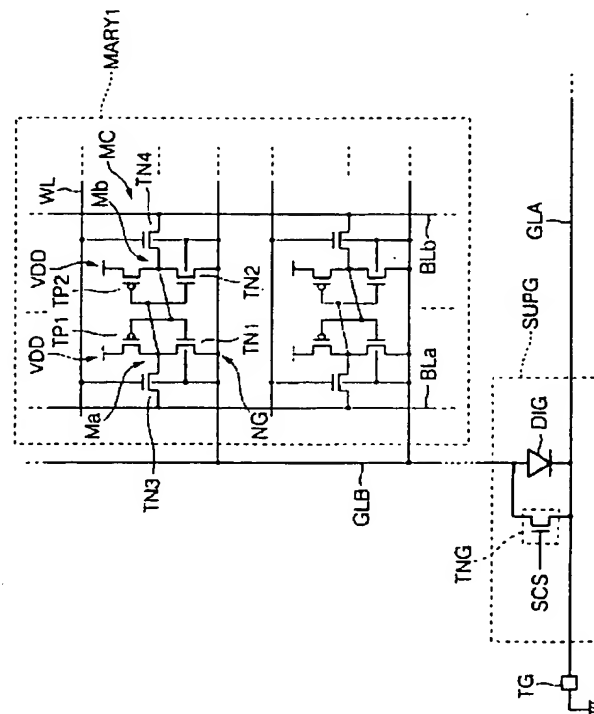
JJ02 KK02

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 デバイス構造の微細化に伴って電源電圧が低下しても、動的動作モードにおける回路の動作速度が阻害されることがなく、静的動作モードにおける消費電流を有効に抑制することができる半導体装置を提供すること。

【解決手段】 リード・ライトモードなどの静的動作モードにおいてメモリセルアレイMARY1の電源電位または接地電位をシフトさせる低電位供給回路SUPGを備える。低電位供給回路SUPGは、n型MOS電界効果トランジスタTNGとダイオードDIGとからなる。スタンバイモードなどの静的動作モードでは、n型MOS電界効果トランジスタTNGがオフ状態となり、接地ノードNGの電位がダイオードDIGの障壁電位V_f分だけ上昇する。これにより、メモリセルMCの電源ノードと接地ノードとの間の電位差を小さくする。



【特許請求の範囲】

【請求項1】 MOS電界効果トランジスタを含んで構成された回路ブロックを有する半導体装置において、動的動作モードにおいて規定の電源電位または規定の接地電位を前記回路ブロックに供給すると共に、静的動作モードにおいて前記回路ブロックに供給される電源電位と接地電位との間の電位差が小さくなるように前記規定の電源電位または前記規定の接地電位をシフトして前記回路ブロックに供給する電位供給手段を備えたことを特徴とする半導体装置。

【請求項2】 前記電位供給手段は、前記回路ブロックを構成するMOS電界効果トランジスタのうち、静的動作モードにおいてオフ状態となるMOS電界効果トランジスタのソース電位を選択的にシフトさせることを特徴とする請求項1に記載された半導体装置。

【請求項3】 前記電位供給手段は、前記回路ブロック内の接地ノードと外部接地端子との間に電流経路が接続され、前記静的動作モードにおいてオフ状態に制御されると共に前記動的動作モードにおいてオン状態に制御されるn型MOS電界効果トランジスタと、アノードが前記接地ノードに接続されると共にカソードが前記外部接地端子に接続されたダイオードと、を備えたことを特徴とする請求項1または2に記載された半導体装置。

【請求項4】 前記電位供給手段は、前記回路ブロック内の電源ノードと外部電源端子との間に電流経路が接続され、前記静的動作モードにおいてオフ状態に制御されると共に前記動的動作モードにおいてオン状態に制御されるp型MOS電界効果トランジスタと、アノードが前記外部電源端子に接続されると共にカソードが前記電源ノードに接続されたダイオードと、を備えたことを特徴とする請求項1または2に記載された半導体装置。

【請求項5】 前記回路ブロックは、スタティック型のメモリセルをマトリックス状に配列してなるメモリセルアレイであり、前記電位供給手段は、前記メモリセルの電源ノードまたは接地ノードの電位を供給することを特徴とする請求項1ないし4の何れかに記載された半導体装置。

【請求項6】 前記メモリセルアレイは、該メモリセルアレイ上に配線されたビット線をプリチャージするためのプリチャージ回路を含み、前記電位供給手段は、前記プリチャージ回路の電源ノードの電位を供給することを特徴とする請求項5に記載された半導体装置。

【請求項7】 前記n型MOS電界効果トランジスタまたは前記p型MOS電界効果トランジスタは、サブスレ

ッシュOLD電流を抑制するようにゲート閾値電圧が高く設定されたことを特徴とする請求項3ないし6の何れかに記載された半導体装置。

【請求項8】 前記電位供給手段は、前記回路ブロックを構成するMOS電界効果トランジスタのうち、該回路ブロックの電源ノードまたは接地ノードにソースが接続されたMOS電界効果トランジスタの基板電位を供給することを特徴とする請求項1ないし7の何れかに記載された半導体装置。

【請求項9】 前記回路ブロックは、静的動作モードにおいて前記n型MOS電界効果トランジスタまたはp型MOS電界効果トランジスタの導通状態に依存せずに回路状態が一義的に定まるように論理構成されたことを特徴とする請求項2ないし8の何れかに記載された半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOS(Metal Oxide Semiconductor)電界効果トランジスタを能動素子として有する半導体装置に関し、いわゆるバンド間リーク電流やサブスレッシュOLD電流等に起因した消費電流を抑制するための技術に関する。

【0002】

【従来の技術】半導体デバイスの分野では、デバイス構造の微細化に伴って、信頼性などの観点から低電源電圧化が推し進められている。即ち、微細化により例えばMOS電界効果トランジスタのゲート酸化膜が薄くなると、このゲート酸化膜に印加される電界強度が高まり、ゲート酸化膜の劣化が加速される。また、微細化によりゲート長が短くなると、ソース・ドレイン間の耐圧が確保できなくなり、MOS電界効果トランジスタが正常に動作できなくなる。このように、デバイス構造の微細化が進むと、各部の電界強度が高まり、デバイスに様々な負担が加わることとなるため、いわゆるスケーリング則に従って電源電圧を下げる必要がある。

【0003】

【発明が解決しようとする課題】ところで、デバイス構造の微細化によりゲート酸化膜が薄くなると、オフ状態にあるMOS電界効果トランジスタのドレイン領域においてバンド間トンネリング現象(Band to band tunneling)に起因したリーク電流(以下、「バンド間リーク電流」と称す)が発生する。この種のリーク電流は、絶対値としては小さいため、例えばリードモードのような動的動作モードにおける消費電流としてよりも、スタンバイモードなどの静的動作モードにおける消費電流として顕在化する傾向がある。

【0004】このバンド間トンネリング現象は、ドレイン近傍において基板表面のバンドの曲がり角がシリコンのバンドギャップより大きくなることによる。従って、電源電圧を低下させれば、この現象の発生を抑制すること

ができるが、必要な回路動作速度が得られなくなる。このため、一般には、バンド間トンネリング現象の対策として、基板表面近傍のドレイン領域の不純物濃度を抑え、ドレイン領域での電界強度を緩和する対策が採られる。しかしながら、この対策によれば、ドレイン領域の電気的な抵抗が高まり、MOSトランジスタの電流駆動能力が低下するため、回路の動作速度が阻害されるという問題がある。

【0005】また、デバイス構造の微細化に伴って電源電圧を下げると、MOS電界効果トランジスタのゲートに印加される信号の電位が低下してドレイン電流が減少するため、回路の動作速度が低下する傾向を示す。このような動作速度の低下を回避するための対策として、ゲート閾値電圧を下げてトランジスタの電流駆動能力を改善する方法が考えられる。しかしながら、ゲート閾値電圧を下げると、サブスレッショルド電流が増加し、上述のスタンバイモードのような静的動作モードにおける消費電流の増加を招くという問題がある。さらに、デバイス構造の微細化に伴ってゲート酸化膜を薄くすると、このゲート酸化膜に印加される電界強度が高まってトンネリング電流が発生し、ゲートとソースまたはドレインとの間にリーク電流が発生する。従って、同様に上述のスタンバイモードのような静的動作モードにおける消費電流の増加を招くという問題がある。

【0006】この発明は、上記事情に鑑みてなされたもので、デバイス構造の微細化に伴って電源電圧が低下しても、動的動作モードにおける回路の動作速度が阻害されることがなく、静的動作モードにおける消費電流を有効に抑制することができる半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】上記課題を解決するため、この発明は以下の構成を有する。すなわち、この発明にかかる半導体装置は、MOS電界効果トランジスタを含んで構成された回路ブロック（例えば後述するメモリセルアレイMARY1に相当する構成要素）を有する半導体装置において、動的動作モードにおいて規定の電源電位または規定の接地電位を前記回路ブロックに供給すると共に、静的動作モードにおいて前記回路ブロックに供給される電源電位と接地電位との間の電位差が小さくなるように前記規定の電源電位または前記規定の接地電位をシフトして前記回路ブロックに供給する電位供給手段（例えば後述する電位供給回路SUPG、SUPVに相当する構成要素）を備えたことを特徴とする。

【0008】この構成によれば、静的動作モードにおいて回路ブロックに供給される電源電位または接地電位をシフトさせ、この回路ブロックの電源ノードと接地ノードとの間の電位差を小さくする。これにより、回路ブロックを構成するMOS電界効果トランジスタのソース・ドレイン間電圧やゲート・ドレイン間の電位差が緩和さ

れ、例えばオフ状態にあるMOS電界効果トランジスタにおいて、ゲート・ドレイン間の電界強度に依存するバンド間リーク電流や、ソース・ドレイン間電圧に依存するサブスレッショルド電流などが抑制される。一方、動的動作モードにおいては規定の電源電位または接地電位を回路ブロックに供給する。従って、動的動作モードにおいては回路ブロックの動作速度を阻害することがなく、静的動作モードにおいては消費電流を有効に抑制することが可能となる。

【0009】よって、この構成によれば、リーク電流を抑制するためのデバイス上の対策を必要とせず、デバイス構造の微細化に伴って電源電圧が低下しても回路の動作速度を阻害することがなく、静的動作モードにおける消費電流を有効に抑制することが可能となる。ここで、電源電位または接地電位のシフト量は、各回路ブロックの構成に応じて調整すればよい。これにより、各回路ブロックの回路構成に応じてMOS電界効果トランジスタの電界強度を適切に緩和し、静的動作モードでのリーク電流を有効に抑制することができる。

【0010】なお、この発明において、電源電位または接地電位をシフトさせるための手段として例えばダイオードの順方向特性を利用すれば、回路ブロックに対する電源電流の供給能力を阻害することなく、回路ブロックの電源ノードと接地ノードとの電位差を小さくすることが可能となる。従って、回路ブロックに供給される電源電位または接地電位をシフトさせた結果、見かけ上、回路ブロックの電源電圧が低下したとしても、この回路ブロックの内部電位を安定させ、この回路ブロックの動作状態を安定させることが可能となる。また、動的動作モードであっても、例えば回路ブロックの入力信号が変化せず、その内部信号に変化がない場合、静的動作モードと同様に電源電位または接地電位をシフトさせ、回路ブロックでの消費電流を抑制するようにしてもよい。

【0011】また、前記半導体装置において、前記電位供給手段は、前記回路ブロックを構成するMOS電界効果トランジスタのうち、静的動作モードにおいてオフ状態となるMOS電界効果トランジスタのソース電位を選択的にシフトさせることを特徴とする。この構成によれば、静的動作モードにおいてオフ状態にあるn型MOS電界効果トランジスタのソースとゲートとの間の電位差を小さくすることが可能となる。同様に、静的動作モードにおいてオフ状態にあるp型MOS電界効果トランジスタのソースとゲートとの間の電位差を小さくすることが可能となる。従って、これらのトランジスタにおけるサブスレッショルド電流を一層抑制することが可能となる。

【0012】さらに、前記半導体装置において、前記電位供給手段は、前記回路ブロック内の接地ノードと外部接地端子との間に電流経路が接続され、前記静的動作モードにおいてオフ状態に制御されると共に前記動的動作

モードにおいてオン状態に制御されるn型MOS電界効果トランジスタ（例えば後述するn型MOS電界効果トランジスタTNGに相当する構成要素）と、アノードが前記接地ノードに接続されると共にカソードが前記外部接地端子に接続されたダイオード（例えば後述するダイオードDIGに相当する構成要素）とを備えたことを特徴とする。

【0013】この構成によれば、前記n型MOS電界効果トランジスタをオン状態に制御すれば、回路ブロックの接地ノードに規定の接地電位を供給することができ、このトランジスタをオフ状態に制御すれば、ダイオードの順方向の障壁電位（ V_f ）分だけ高い電位に接地電位をシフトさせることができる。従って、見かけ上、回路ブロックに印加される電源電圧（内部回路の電源ノードと接地ノードとの電位差）を障壁電位分だけ小さくすることができる。

【0014】さらにまた、前記半導体装置において、前記電位供給手段は、前記回路ブロック内の電源ノードと外部電源端子との間に電流経路が接続され、前記静的動作モードにおいてオフ状態に制御されると共に前記動的動作モードにおいてオン状態に制御されるp型MOS電界効果トランジスタ（例えば後述するp型MOS電界効果トランジスタTPVに相当する構成要素）と、アノードが前記外部電源端子に接続されると共にカソードが前記電源ノードに接続されたダイオード（例えば後述するダイオードDIVに相当する構成要素）とを備えたことを特徴とする。

【0015】この構成によれば、前記p型MOS電界効果トランジスタをオン状態に制御すれば、回路ブロックの電源ノードに規定の電源電位を供給することができ、このトランジスタをオフ状態に制御すれば、ダイオードの順方向の障壁電位（ V_f ）分だけ低い電位に電源電位をシフトさせることができる。従って、見かけ上、回路ブロックに印加される電源電圧（内部回路の電源ノードと接地ノードとの電位差）を障壁電位分だけ小さくすることができる。

【0016】さらにまた、前記半導体装置において、前記回路ブロックは、スタティック型のメモリセルをマトリックス状に配列してなるメモリセルアレイ（例えば後述するメモリセルアレイMARY1、MARY2、MARY3に相当する構成要素）であり、前記電位供給手段は、前記メモリセルの電源ノード（例えば後述する電源ノードNVに相当する要素）または接地ノード（例えば後述する接地ノードNGに相当する構成要素）の電位を供給することを特徴とする。この構成によれば、メモリセルアレイ内のメモリセルを構成するMOS電界効果トランジスタで発生するリーク電流を抑制することができ、従って、静的動作モードにおける消費電流を有効に抑制することが可能となる。

【0017】さらにまた、前記半導体装置において、前

記メモリセルアレイは、該メモリセルアレイ上に配線されたビット線をプリチャージするためのプリチャージ回路（例えば後述するプリチャージ回路PCCに相当する構成要素）を含み、前記電位供給手段は、前記プリチャージ回路の電源ノードの電位を供給することを特徴とする。この構成によれば、プリチャージ回路によって供給されるビット線の電位もシフトするので、このビット線に接続されるメモリセル内のトランジスタ（トランスファゲートとして機能するトランジスタ）でのリーク電流を抑制することが可能となる。

【0018】さらにまた、前記半導体装置において、前記n型MOS電界効果トランジスタまたは前記p型MOS電界効果トランジスタは、サブスレッショルド電流を抑制するようにゲート閾値電圧が高く設定されたことを特徴とする。この構成によれば、電位供給手段をなすMOS電界効果トランジスタでのサブスレッショルド電流が抑制されるので、回路ブロックを流れる電流がダイオード側に有効に流れ込む。従って、電流経路としてダイオードが支配的となり、このダイオードの障壁電位分だけ電源電位または接地電位を正確にシフトさせることが可能となる。

【0019】さらにまた、前記半導体装置において、前記電位供給手段は、前記回路ブロックを構成するMOS電界効果トランジスタのうち、該回路ブロックの電源ノードまたは接地ノードにソースが接続されたMOS電界効果トランジスタの基板電位を供給することを特徴とする。この構成によれば、静的動作モードにおいて、内部回路の接地ノードまたは電源ノードの電位と共にMOS電界効果トランジスタの基板電位がシフトするので、基板効果によるゲート閾値電圧の移動が生じない。従って、静的動作モードにおいて、回路ブロックの回路状態を安定的に維持することが可能となる。

【0020】さらにまた、前記半導体装置において、前記回路ブロックは、静的動作モードにおいて前記n型MOS電界効果トランジスタまたはp型MOS電界効果トランジスタの導通状態に依存せずに回路状態が一義的に定まるように論理構成されたことを特徴とする。この構成によれば、静的動作モードにおける回路ブロック内部の信号レベルを、動的動作モードにおける信号レベルと同じ状態に維持することができ、従って回路状態を安定化させることが可能となる。また、この信号レベルと、シフトされた電源電位または接地電位との関係に応じて、例えばn型MOS電界効果トランジスタのゲート電位をソース電位よりも低く設定することが可能となり、サブスレッショルド電流を抑制するように回路状態を制御することが可能となる。

【0021】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。この発明は、例えば半導体メモリのスタンバイモードのような静的動作モードにおい

て、デバイス構造の微細化に伴って顕在化するリーク電流に起因した消費電流を抑制するものであって、このリーク電流として、いわゆるバンド間トンネリング現象によるバンド間リーク電流、オフ状態でのドレイン電流であるサブスレッショルド電流、ゲート酸化膜を流れるトンネル電流を想定したものである。

【0022】この実施の形態を説明するに先だって、上述のリーク電流の発生メカニズムをn型MOS電界効果トランジスタを例として簡単に説明する。図1(a)に、n型MOS電界効果トランジスタにおけるバンド間リーク電流の経路を示す。このバンド間リーク電流は、ゲートGとドレインDとの間のオーバーラップ領域にあるドレイン近傍において、電界強度が高くなった場合にバンド間トンネリング現象により発生する電流である。デバイスの微細化が進み、ゲート酸化膜が薄くなると、ゲートGとドレインDとのオーバーラップ領域での電界強度が著しく高まり、バンド間トンネリング現象が発生しやすくなる。

【0023】同図に示すように、ゲートGが接地され、ドレインDに電源電位が印加されたバイアス状態（トランジスタがオフ状態）では、ドレイン近傍での電界強度が高くなり、シリコン基板表面のバンドの曲がり方がシリコンのバンドギャップよりも大きくなる。これにより、バンド間トンネル現象に基づくエレクトロン・ホールペアが発生し、バンド間リーク電流が流れ出す。このとき、エレクトロンはドレイン側に吸収され、ホールは基板電流となる。バンド間リーク電流を抑制するためには、ゲートGとドレインDとの間の電位差を小さくして電界強度を緩和すればよく、基板電位 V_{sub} を過度に低くしない方がよい。

【0024】図1(b)に、n型MOS電界効果トランジスタにおけるサブスレッショルド電流の経路を示す。サブスレッショルド電流は、ゲートGとソースSとの間の電位差が実効しきい値を越えた場合に発生する電流として定義され、ソースとドレインとの間を流れるドレイン電流として現れる。このサブスレッショルド電流を抑制するためには、基板電位 V_{sub} を低くした方がよい。

【0025】図1(c)に、n型MOS電界効果トランジスタのゲート酸化膜を流れるトンネル電流の経路を示す。ゲート酸化膜でのトンネル電流は、基板SUBに対してゲート酸化膜に印加される電界強度が高まった場合に発生し、ゲートGと基板SUBとの間を流れる。このトンネル電流を抑制するためには、基板電位を過度に低くしない方がよい。以上により、各リーク電流の発生メカニズムを説明した。

【0026】＜実施の形態1＞以下、この発明の実施の形態1を説明する。図2に、この発明の実施の形態1にかかる半導体装置の特徴部を示す。この半導体装置は、例えばSRAM(Static Random Access Memory)や疑似

SRAMなどのような、スタンバイモードを有する半導体メモリであって、MOS電界効果トランジスタを用いて回路構成された回路ブロックを有する。また、この回路ブロックは、例えばCMOS構成のインバータのように、電源と接地との間に電流経路が接続された電界効果トランジスタからなるゲート回路を含んで構成される。

【0027】まず、図2に示す回路構成を説明する。同図において、MARY1は、1ビットのデータを記憶するためのメモリセルMCがマトリックス状に配列されたメモリセルアレイであり、SUPGは、メモリセルMCの接地ノードNGの電位を供給する低電位供給回路SUPGである。このメモリセルMCは、フリップフロップを主体として構成され、p型MOS電界効果トランジスタTP1、TP2およびn型MOS電界効果トランジスタTN1～TN4の6個のトランジスタから構成される。

【0028】ここで、p型MOS電界効果トランジスタTP1、TP2およびn型MOS電界効果トランジスタTN1、TN2は、一対のインバータが交差結合されたフリップフロップを構成する。このフリップフロップの内部ノードは、メモリセルMCの記憶ノードMa、Mbとされ、n型MOS電界効果トランジスタTN3、TN4を介してビット線BLa、BLbにそれぞれ接続される。n型MOS電界効果トランジスタTN3、TN4は、記憶ノードMa、Mbとビット線BLa、BLbとの間のデータ転送を行うトランスファゲートとして機能し、そのゲートはワード線WLに接続される。

【0029】また、メモリセルMCの電源ノード（符号なし）をなすp型MOS電界効果トランジスタTP1、TP2のソースは電源VDDに接続され、このメモリセルMCの接地ノードNGをなすn型MOS電界効果トランジスタTN1、TN2のソースは、接地配線GLBを介して低電位供給回路SUPGに接続される。n型MOS電界効果トランジスタTN1～TN4の各基板は接地ノードNGを介して接地配線GLBに共通接続され、そのソースと同電位とされる。なお、図1には示していないが、ビット線BLa、BLbには、プリチャージ回路が接続されており、メモリセルからデータをリードする際にビット線BLa、BLbの電位を電源電位に初期化するようにになっている。

【0030】このような構成を有するメモリセルMCが、マトリックス状に配列されてメモリセルアレイMARY1が構成され、同一行に属する各メモリセルは同一のワード線WLに共通接続され、同一列に属する各メモリセルは同一のビット線BLa、BLbに共通接続されている。なお、トランスファゲートとして機能するn型MOS電界効果トランジスタTN3、TN4は、リードの際にメモリセル内のデータを保護する観点から、n型MOS電界効果トランジスタTN1、TN2に比較して電流駆動能力が小さく設定されており、ビット線の電位

がメモリセル内に大きく影響を与えないようになっている。

【0031】次に、低電位供給回路SUPGの構成を説明する。低電位供給回路SUPGは、上述のメモリセルMCの接地ノードNGの電位を供給するものであって、n型MOS電界効果トランジスタTNGとダイオードDIGから構成される。n型MOS電界効果トランジスタTNGのゲート閾値電圧は、後述するように、接地配線GLBの電位を接地電位に対してダイオードDIGの障壁電位V_f分だけ高い電位に的確にクランプする目的の下に高く設定されている。

【0032】n型MOS電界効果トランジスタTNGのドレインは、接地配線GLBを介して上述のメモリセルMCの接地ノードNGに接続され、そのソースは接地配線GLAに接続される。この接地配線GLAは接地外部端子TGに接続され、この接地外部端子TGは規定の接地電位(0V)に固定される。また、n型MOS電界効果トランジスタTNGのゲートには、図示しない制御回路から、スタンバイモードなどの静的動作モードにおいてロウレベルとなる信号SCSが与えられる。以下の説明では、静的動作モードとしてスタンバイモードを想定する。ただし、これに限定されることなく、静的動作モードとして、リードモードやライトモードにおいて動作サイクルが長い動作状態を定義してもよい。

【0033】一方、ダイオードDIGのアノードは接地配線GLBを介してメモリセルMCの接地ノードNGに接続され、そのカソードは、接地配線GLAを介して接地外部端子TGに接続される。これらn型MOS電界効果トランジスタTNGおよびダイオードDIGは、メモリセルアレイMARY1内のメモリセルMCに接地電位を供給する上で必要とされる十分な電流供給能力を備えている。なお、図2では、メモリセルアレイMARY1のみが示されているが、メモリセルアレイを複数のブロックに分割し、各ブロックごとに低電位供給回路SUPGを設置してもよい。

【0034】以下、この実施の形態1の動作を説明する。リードモードやライトモードのような動的動作モードにおいては、信号SCSはハイレベルに固定され、n型MOS電界効果トランジスタTNGがオン状態となる。これにより、低電位供給回路SUPGは、規定の接地電位をメモリセルMCに供給し、このメモリセルMCの接地ノードNGを規定の接地電位に固定する。このとき、メモリセルMCに記憶されたデータに応じて、例えばn型MOS電界効果トランジスタTN2がオフ状態であれば、n型MOS電界効果トランジスタTN1がオン状態である。この場合、記憶ノードMaに規定の接地電位が現れ、記憶ノードMbに電源電位が現れる。以下の説明では、動的動作モードとして、リードモードまたはライトモードを想定する。

【0035】ここで、オフ状態にあるn型MOS電界効

果トランジスタTN2のバイアス状態を検討すると、そのソースには接地電位が印加され、そのゲートには記憶ノードMaの電位として接地電位が印加され、そのドレインには記憶ノードMbの電位として電源VDDの電位(電源電位)が印加されている。即ち、このn型MOS電界効果トランジスタTN2のドレイン近傍では、高電界が形成され、バンド間リーク電流が発生し得る状態にある。しかしながら、仮にバンド間リーク電流が発生したとしても、回路動作に伴う充放電電流などに比較して充分小さいため、動的動作モードでの消費電流としてはほとんど顕在化しない。

【0036】これに対して、スタンバイモードのような静的動作モードでは、低電位供給回路SUPGは、メモリセルMCに供給される電源電位と接地電位との間の電位差が小さくなるように、接地外部端子TGに印加される規定の接地電位をシフトしてメモリセルMCに供給する。具体的に説明する。静的動作モードでは信号SCSがロウレベルに固定されると、n型MOS電界効果トランジスタTNGがオフ状態になる。このとき、n型MOS電界効果トランジスタTNGのゲート閾値電圧は高く設定されているので、メモリセル側からの電流は、ダイオードDIG側に有効に流れ込む。これにより、接地配線GLBの電位は、接地配線GLAの電位よりも、ダイオードDIGのpn接合の障壁電位V_fだけ高い電位に的確にクランプされる。結局、接地配線GLAは、規定の接地電位に固定された接地端子TGに接続されているから、接地配線GLBは、規定の接地電位よりも障壁電位V_fだけ高い電位に固定され、メモリセルMCの接地ノードNGの電位が障壁電位V_f分だけ高くなる。

【0037】ここで、接地ノードNGの電位が障壁電位V_f分だけ高くなると、この接地ノードNGの電位が、オン状態にあるn型MOS電界効果トランジスタTN1を介して記憶ノードMaに現れ、従ってオフ状態にあるn型MOS電界効果トランジスタTN2のゲートの電位が障壁電位V_f分だけ高くなる。このとき、p型MOS電界効果トランジスタTP2を介して記憶ノードMbに現れる電源電位は一定であるから、相対的にn型MOS電界効果トランジスタTN2のゲートとドレインとの間の電位差が小さくなり、これらの間の電界強度が緩和される。

【0038】この結果、n型MOS電界効果トランジスタTN2でのバンド間リークが抑制される。また、接地ノードNGの電位が高くなると、n型MOS電界効果トランジスタTN3、TN4の基板電位も高くなるので、これらn型MOS電界効果トランジスタTN3、TN4でのバンド間リークも抑制される。さらに、n型MOS電界効果トランジスタTNGは、ソースとドレインとの間に障壁電位V_f分の電位差が印加された状態でオフしており、サブスレッショルド電流が流れ得るバイアス状態にある。しかしながら、このn型MOS電界効果トラ

ンジスタTNGのゲート閾値電圧は高く設定されているので、このn型MOS電界効果トランジスタTNGでのサブスレッショルド電流の発生は有効に抑制される。

【0039】従って、この実施の形態1によれば、メモリセルMC内のオフ状態にあるn型MOS電界効果トランジスタTN2においてバンド間トンネリング現象に起因したリーク電流の発生が有効に抑制される。また、同じくオフ状態にあるp型MOS電界効果トランジスタTP1もバンド間リーク電流が発生し得るバイアス状態にあるが、一般にp型MOS電界効果トランジスタの場合、n型MOS電界効果トランジスタに比較して耐性が高く、必ずしもバンド間リーク電流に対する対策を要しない場合が多い。しかしながら、この実施の形態1によれば、結果的に、p型MOS電界効果トランジスタTP1についてもゲートとドレインとの間の電界強度が緩和されるため、p型MOS電界効果トランジスタTP1においてバンド間リーク電流は発生し得ない。

【0040】また、この実施の形態1によれば、ダイオードDIGの順方向特性を利用して接地電位をシフトさせており、接地配線GLBが障壁電位Vfを越えると、ダイオードに順方向電流が発生し、接地配線GLBの電位上昇を抑える。従って、接地配線GLBと接地との間が高インピーダンスにならず、この接地配線GLBの電位が一定に保たれる。従って、例えば接地配線GLB上のグラウンドノイズが有効に抑えられ、メモリセル内にデータとして保持された電位が大きく変動することがなく、安定したデータ保持特性を得ることができる。

【0041】さらに、ダイオードDIGの障壁電位Vfは、物理定数であり、例えばポリシリコンの抵抗値や電界効果トランジスタのゲート閾値電圧とはちがってプロセスのバラツキに依存しない量である。このため、接地配線GLBの電位にバラツキがなくなる。従って、メモリセルのデータ保持特性が安定する上、スタンバイ状態からアクティブ状態への復帰時間も略一定となる。

【0042】さらにまた、ダイオードDIGは、pn接合により半導体基板上に容易に形成できる。しかも、順方向の電流能力が高いので、小さな面積で足りる。さらにまた、ダイオードの障壁電位Vfは物理定数であるから、この障壁電位Vfを発生させるためには、特別な電圧発生回路を必要としない。従って、そのような電圧発生回路での消費電流が発生することがなく、この電圧発生回路を配置するためのスペースを確保する必要もない。

【0043】なお、この実施の形態1では、メモリセルMC内の記憶ノードMaおよび記憶ノードMbにそれぞれロウレベルおよびハイレベルが保持された場合を説明したが、逆のレベルが各記憶ノードに保持された場合には、p型MOS電界効果トランジスタTP2およびn型MOS電界効果トランジスタTN1がオフ状態となり、同様にこれらのドレイン近傍におけるバンド間リーク電

流の発生が有効に抑制される。また、低電位供給回路SUPG内のn型MOS電界効果トランジスタTNGのゲート閾値電圧を高く設定したが、サブスレッショルド電流の発生程度によっては、必ずしもこのゲート閾値電圧を高く設定する必要はない。

【0044】<実施の形態2>以下、この発明に係る実施の形態2を説明する。図3に、この実施の形態2にかかる半導体装置の特徴部を示す。この半導体装置は、上述の図2に示す実施の形態1に係る構成において、メモリセルMCを構成するn型MOS電界効果トランジスタTN1～TN4に代えて、基板が接地されたn型MOS電界効果トランジスタTN10～TN40を備える。これらトランジスタTN10～TN40の基板には規定の接地電位(0V)が印加される。

【0045】ここで、p型MOS電界効果トランジスタTP1、TP2およびn型MOS電界効果トランジスタTN10、TN20はフリップフロップを構成し、このフリップフロップの内部ノード、即ちメモリセルの記憶ノードMa、Mbは、n型MOS電界効果トランジスタTN30、TN40を介してビット線BLa、BLbにそれぞれ接続される。n型MOS電界効果トランジスタTN30、TN40は、記憶ノードMa、Mbとビット線BL1、BLbとの間のデータ転送を行うトランスファゲートとして機能し、そのゲートはワード線WLに接続される。その他の構成は、図2に示す構成と同様である。

【0046】次に、この実施の形態2の動作を説明する。まず、リードモードやライトモードのような動的動作モードにおいては、信号SCSはハイレベルに固定され、上述の実施の形態1と同様に、低電位供給回路SUPGは、規定の接地電位をメモリセルMCに供給し、このメモリセルMCの接地ノードNGを規定の接地電位に固定する。これにより、メモリセルには、規定の電源電位および接地電位が供給され、リードモードまたはライトモードでの動作が行われる。

【0047】これに対して、スタンバイモードのような静的動作モードでは、上述の実施の形態1と同様に、接地配線GLBの電位を、接地配線GLAの電位よりもダイオードDIGの障壁電位Vfだけ高い電位にシフトさせ、メモリセルMCの接地ノードNGの電位をその分だけ高くする。このとき、メモリセルMCを構成するn型MOS電界効果トランジスタTN10～TN40の基板電位が規定の接地電位に固定されているので、これらのトランジスタのソース電位は基板電位(接地電位)に対して障壁電位Vf分だけ高くなる。

【0048】この結果、n型MOS電界効果トランジスタTN10～TN40において、基板効果が発揮されてゲート閾値電圧が高くなり、これらのトランジスタのサブスレッショルドリーク電流が抑制される。スタンバイモードでは、全てのワード線がロウレベル(接地電位)

に固定されるので、ゲートがワード線に接続されるn型MOS電界効果トランジスタTN30、TN40でのサブスレッショルドリーク電流が一層有効に抑制される。

【0049】上述の実施の形態1とこの実施の形態2では、メモリセルを構成するn型MOS電界効果トランジスタの基板電位の設定が異なるが、バンド間リーク電流またはサブスレッショルドリーク電流の何れを対策するかにより、基板電位を選択すればよい。即ち、例えば、製品仕様やデバイス・プロセス技術に応じて消費電流に大きな影響を与えるリーク成分を有効に抑制するように、メモリセルを構成するn型MOS電界効果トランジスタの基板電位を設定すればよい。

【0050】<実施の形態3>以下、この発明の実施の形態3を説明する。図4に、この実施の形態3にかかる半導体装置の特徴部を示す。この半導体装置は、上述の図2に示す実施の形態1に係る構成において、低電位供給回路SUPGに代えて、高電位供給回路SUPVを備える。この高電位供給回路SUPVは、メモリセルアレイMARY2のメモリセルMCの電源ノードNVの電位を供給するものである。

【0051】具体的に構成を説明する。メモリセルアレイMARY2は、メモリセルMCの電源ノードNVの電位が上述の高電位供給回路SUPVから供給されるように構成されている点を除いて、上述の実施の形態1に係るメモリセルアレイMARY1と同様である。即ち、メモリセルMCを構成するp型MOS電界効果トランジスタTP1、TP2のソース、即ちメモリセルMCの電源ノードNVは、電源配線VLBを介して高電位供給回路SUPVに接続される。また、このメモリセルMCを構成するn型MOS電界効果トランジスタTN1、TN2のソース、即ちメモリセルMCの接地ノードは接地され、規定の接地電位(0V)に固定される。

【0052】高電位供給回路SUPVは、p型MOS電界効果トランジスタTPVとダイオードDIVから構成される。p型MOS電界効果トランジスタTPVのゲート閾値電圧は、上述のn型MOS電界効果トランジスタTNGと同様に、電源配線VLAの電位を電源電位に対してダイオードDIVの障壁電位Vf分だけ低い電位に的確にクランプする目的の下に高く設定されている。p型MOS電界効果トランジスタTNGのドレインは、電源配線VLBを介してメモリセルMCの電源ノードNVに接続され、そのソースは電源配線VLAに接続される。この電源配線VLAは電源端子TVを介して電源に接続されている。また、p型MOS電界効果トランジスタTPVのゲートには、図示しない制御回路から、スタンバイモードなどの静的動作モードにおいてハイレベルとなる信号/SCSが与えられる。

【0053】一方、ダイオードDIVのカソードは電源配線VLBを介してメモリセルMCの電源ノードNVに接続され、そのアノードは、電源配線VLAを介して、

規定の電源電位に固定された電源端子TVに接続される。これらp型MOS電界効果トランジスタTPVおよびダイオードDIVは、メモリセルアレイMARY2内の各メモリセルMCに電源電位を供給する上で必要とされる電流供給能力を備えている。その他の構成は、上述の図2に示す実施の形態1と同様である。

【0054】以下、この実施の形態3の動作を説明する。動的動作モードにおいては、信号/SCSはロウレベルに固定され、p型MOS電界効果トランジスタTNGがオン状態となる。これにより、低電位供給回路SUPVは、規定の電源電位をメモリセルMCに供給し、このメモリセルMCの電源ノードNVを規定の電源電位に固定する。従って、例えば、記憶ノードMaにロウレベルが保持され、記憶ノードMbにハイレベルが保持されている場合、この記憶ノードMbのハイレベルは規定の電源電位そのものとなる。従って、上述の実施の形態1と同様に、メモリセルMCに電源電位および接地電位が供給され、データが記憶される。

【0055】これに対して、静的動作モードでは、信号/SCSがハイレベルに固定され、p型MOS電界効果トランジスタTPVがオフ状態になる。これにより、電源配線VLBの電位は、電源配線VLAの電位よりも、ダイオードDIVの障壁電位Vf分だけ低い電位にクランプされ、メモリセルMCの電源ノードNVの電位がその分だけ低くなる。電源ノードNVの電位が障壁電位Vf分だけ低くなると、オフ状態にあるn型MOS電界効果トランジスタTN2のドレインの電位が障壁電位Vf分だけ低くなる。ここで、n型MOS電界効果トランジスタTN2のゲートには、n型MOS電界効果トランジスタTN1を介して接地電位が与えられている。このため、上述の動的動作モードに比較して、n型MOS電界効果トランジスタTN2のゲートとドレインとの間の電位差が障壁電位Vf分だけ小さくなり、このドレイン近傍での電界強度が緩和される。

【0056】従って、この実施の形態3によれば、実施の形態1と同様に、n型MOS電界効果トランジスタTN1、TN2およびp型MOS電界効果トランジスタTP1、TP2のドレイン近傍においてバンド間リーク電流の発生が抑制され、バンド間トンネリング現象に起因した消費電流が有効に低減される。また、この実施の形態3によれば、上述の実施の形態1および2とは異なり、メモリセルのトランスフェゲートを構成するn型MOS電界効果トランジスタTN3、TN4のバンド間リーク対策としては有効ではないが、ドライバ用のn型MOS電界効果トランジスタTN1、TN2のソースが直接的に接地されているので、このトランジスタのソースと接地との間に余分な抵抗成分が発生しない。従って、メモリセルの電流駆動能力を阻害することなく、リード・ライトモードでの動作速度の低下を招くことがない。

【0057】なお、この実施の形態3では、メモリセル

を構成するp型MOS電界効果トランジスタTP1、TP2の基板電位をソース電位と同一としたが、この基板電位を規定の電源電位に固定してもよい。この場合、上述の実施の形態2と同様に、基板効果が発揮され、p型MOS電界効果トランジスタTP1、TP2およびn型MOS電界効果トランジスタTN1、TN2のサブスレッショルドリークが有効に抑制される。このp型MOS電界効果トランジスタTP1、TP2の基板電位を何れの電位とするかについては、バンド間リークまたはサブスレッショルドリークの何れを対策するかにより選択すればよい。

【0058】<実施の形態4>以下、この発明の実施の形態4を説明する。図5に、この実施の形態4にかかる半導体装置の特徴部を示す。この実施の形態に係る半導体装置は、上述の図4に示す実施の形態3に係る構成において、ビット線BLa、BLbをプリチャージするためのプリチャージ回路PCCの電源を、上述の高電位供給回路SUPVから供給するようにしたものである。

【0059】ここで、プリチャージ回路PCCは、p型MOS電界効果トランジスタTPP1～TPP3から構成される。p型MOS電界効果トランジスタTPP1およびTPP2のソースは電源配線VLBに共通に接続され、そのドレインはビット線BLa、BLbにそれぞれ接続される。また、p型MOS電界効果トランジスタTPP3の電流経路はビット線BLaとBLbとの間に接続される。これらp型MOS電界効果トランジスタTPP1～TPP3のゲートには、プリチャージ信号φが共通に与えられ、それらの基板は電源配線VLBに共通接続されている。

【0060】このプリチャージ回路PCCによれば、プリチャージ信号φがロウレベルになると、p型MOS電界効果トランジスタTPP3により、ビット線BL1、BLbがイコライズされた状態で、p型MOS電界効果トランジスタTPP1、TPP2によりビット線BLa、BLbが電源配線VLBの電位にプリチャージされる。この実施の形態3では、プリチャージ信号φは、静的動作モードではロウレベルに固定され、ビット線BLa、BLbがプリチャージされた状態に固定されるものとする。その他の構成は、上述の実施の形態2と同様である。

【0061】以下、この実施の形態4の動作を説明する。動的動作モードの場合、信号/SCSがロウレベルとなり、p型MOS電界効果トランジスタTPVがオン状態となり、上述の実施の形態2と同様に動作する。なお、上述の実施の形態2では、ビット線BLa、BLbをプリチャージするためのプリチャージ回路を省略してあるが、実施の形態2に係るプリチャージ回路は、この実施の形態3に係るプリチャージ回路PCCにおいてp型MOS電界効果トランジスタTPP1、TPP2のソースを電源に直接的に接続した構造を有している。従っ

て、動的動作モードにおいてメモリセルアレイMARY3の構成は上述の実施の形態2に係るメモリセルアレイMARY2と等価になる。

【0062】これに対し、静的動作モードでは、信号/SCSはハイレベルになり、p型MOS電界効果トランジスタTPVはオフ状態となる。この場合、各メモリセルの電源ノードNVの電位がダイオードDIVの障壁電位Vf分だけ低下すると共に、プリチャージ回路PCCに供給される電源電位も障壁電位Vf分だけ低下する。従って、この静的動作モードでは、ビット線BLa、BLbが電源電位よりもダイオードDIVの障壁電位Vf分だけ低下した電位にプリチャージされ、この状態が維持される。

【0063】ここで、メモリセルのトランスファゲートとして機能するn型MOS電界効果トランジスタTN3、TN4のバイアス状態を検討する。いま、記憶ノードMaにロウレベルが保持され、界効果トランジスタTN3のソースおよびドレインのうち、ビット線BLaに接続され記憶ノードMbにハイレベルが保持されているとすると、n型MOS電界効果トランジスタTN3については、ドレインまたはソースの一方は、規定の電源電位より障壁電位Vf分だけ低い電位にバイアスされ、記憶ノードMaに接続された他方は、規定の接地電位にバイアスされる。また、n型MOS電界効果トランジスタTN4については、ソースおよびドレインの何れも、規定の電源電位より障壁電位Vf分だけ低い電位にバイアスされる。

【0064】このため、n型MOS電界効果トランジスタTN3、TN4において、ゲートとソース/ドレインとの間の電界強度は、上述の実施の形態2に係る回路構成に比較して緩和される。従って、この実施の形態4によれば、メモリセルMCにおいて、トランスファゲートとして機能するn型MOS電界効果トランジスタTN3、TN4におけるバンド間リーク電流の発生を抑制することができ、静的動作モードでの消費電流を一層抑制することができる。

【0065】<実施の形態5>以下、この発明に係る実施の形態5を説明する。図6に、この実施の形態5にかかる半導体装置の特徴部を示す。上述の実施の形態1ないし4では、バンド間リーク電流に起因した消費電流の抑制を主目的として回路構成したが、この実施の形態5では、サブスレッショルド電流に起因する消費電流の抑制を主目的とする。

【0066】図6(a)に、この発明が適用されたインバータチェーンを示す。同図において、n型MOS電界効果トランジスタTNGおよびダイオードDIGは、上述の実施の形態1に係るものと同様であり、p型MOS電界効果トランジスタTPVおよびダイオードDIVは、上述の実施の形態3に係るものと同様である。これらn型MOS電界効果トランジスタTNGおよびp型M

OS電界効果トランジスタTPVのゲート閾値電圧は、インバータIV20、IV22の接地ノードの電位を規定の接地電位に対してダイオードDIGの障壁電位Vf分だけ高い電位に的確にクランプし、且つインバータIV21、IV23の電源ノードの電位を電源電位に対してダイオードDIVの障壁電位Vf分だけ低い電位に的確にクランプする目的の下に高く設定されている。

【0067】IV20からIV23はCMOS構成のインバータであり、インバータIV20を初段とするインバータチェーンを構成する。初段のインバータIV20には、静的動作モードでロウレベル（規定の接地電位）となる信号Xが入力される。インバータIV20、IV22の接地ノードは、n型MOS電界効果トランジスタTNGのドレインおよびダイオードDIGのアノードに接続される。また、インバータIV21、IV23の電源ノードは、p型MOS電界効果トランジスタTPVのドレインおよびダイオードDIGのカソードに接続される。また、各インバータを構成するp型MOS電界効果トランジスタの基板は規定の電源電位に固定され、n型MOS電界効果トランジスタの基板は規定の接地電位に固定されている。

【0068】以下、図6（a）に示すインバータチェーンの動作を説明する。動的動作モードでは、信号SCSはロウレベルに固定され、信号SCSはハイレベルに固定される。従って、インバータIV20、IV22の接地ノードには、n型MOS電界効果トランジスタTNGを介して接地電位が供給されると共に、インバータIV21、IV23の電源ノードには、p型MOS電界効果トランジスタTPVを介して電源電位が供給され、これらインバータIV20～IV23からなるインバータチェーンが信号Xにตอบสนองして動作する。

【0069】これに対し、静的動作モードでは、信号SCSはハイレベル（規定の電源電位）に固定され、信号SCSはロウレベル（規定の接地電位）に固定される。従って、n型MOS電界効果トランジスタTNGおよびp型MOS電界効果トランジスタTPVはオフ状態となる。これにより、インバータIV20、IV22の接地ノードの電位は、規定の接地電位よりもダイオードDIGの障壁電位Vf分だけ高い電位に固定され、またインバータIV21、IV23の電源ノードの電位は、規定の電源電位よりもダイオードDIGの障壁電位Vf分だけ低い電位に固定される。

【0070】ここで、信号Xは、静的動作モードにおいてロウレベルに固定されるので、この信号Xを入力するインバータIV20のp型MOS電界効果トランジスタおよびn型MOS電界効果トランジスタ（図示なし）は、それぞれオン状態およびオフ状態となり、このインバータIV20は規定の電源電位のハイレベルを出力する。この場合、インバータIV20において、オフ状態にあるn型MOS電界効果トランジスタに着目すると、

ソースには接地電位よりも障壁電位Vf分だけ高い電位が与えられ、基板は接地電位に固定されているので、ソース電位よりも基板電位が相対的に低くなる。

【0071】このため、インバータIV20を構成するn型MOS電界効果トランジスタにおいて基板効果が発揮され、ゲート閾値電圧が上昇する結果、そのサブスレッショルド電流が抑制される。インバータIV22についてもインバータIV20と同様である。なお、この実施の形態5では、各インバータを構成するp型MOS電界効果トランジスタの基板を電源電位に固定し、n型MOS電界効果トランジスタの基板を接地電位に固定するものとしたが、これらp型MOS電界効果トランジスタおよびn型MOS電界効果トランジスタの基板を各ソースに接続するものとしてもよい。この場合、バンド間リーク電流に対する有効な対策となる。

【0072】また、上述のインバータIV20からハイレベルを入力する次段のインバータIV21では、p型MOS電界効果トランジスタおよびn型MOS電界効果トランジスタ（図示なし）がそれぞれオフ状態およびオン状態となって、このインバータIV21は接地電位のロウレベルを出力する。ここで、インバータIV21において、オフ状態にあるp型MOS電界効果トランジスタに着目すると、ソース電位よりもゲート電位が相対的に高くなる。このため、このインバータIV21において、オフ状態にあるp型MOS電界効果トランジスタのサブスレッショルド電流が抑制される。インバータIV23についてもインバータIV21と同様である。

【0073】図6（b）に、この発明が適用された多段接続のゲート回路を示す。上述の図6（a）に示す例では、静的動作モードにおいて、初段のインバータIV20に入力される信号Xがロウレベルに固定されるものとし、これにより各インバータの回路状態を固定するものとしたが、図6（b）に示す例では、信号Sを制御することにより、信号Xによらず回路状態を一義的に固定するように構成される。

【0074】即ち、図6（b）において、NA20、NA21はCMOS構成の否定的論理積ゲート回路であり、NR20、NR21はCMOS構成の否定的論理和ゲート回路である。初段の否定的論理積ゲート回路NA20の一方の入力部には、静的動作モードにおいてロウレベルとなる信号Sが入力され、他方の入力部には、動的動作モードにおいて意義を有する信号Xが入力される。この否定的論理積ゲート回路NA20の出力信号は、次段の否定的論理和ゲート回路NR20の一方の入力部に与えられる。

【0075】また、否定的論理和ゲート回路NR20の出力信号は、否定的論理積ゲート回路NA21の一方の入力部に与えられ、この否定的論理積ゲート回路NA21の出力信号は、最終段の否定的論理和ゲート回路NR21の一方の入力部に与えられる。否定的論理和ゲート

回路NR20、NR21および否定的論理積ゲート回路NA21の他方の入力部には、信号Xと同様に動的動作モードで意義を有する信号がそれぞれ与えられる。また、否定的論理積ゲート回路NA20、NA21の接地ノードは、n型MOS電界効果トランジスタTNGのドレインおよびダイオードDIGのアノードに接続される。また、否定的論理和ゲート回路NR20、NR21の電源ノードは、p型MOS電界効果トランジスタTPVのドレインおよびダイオードDIGのカソードに接続される。

【0076】次に、図6(b)に示すゲート回路の動作を説明する。静的動作モードでは、信号Sがロウレベルに固定される。これにより、信号Xの論理値によらず、否定的論理積ゲート回路NA20は、ハイレベルを出力し、これを入力する否定的論理和ゲート回路NR20はロウレベルを出力する。また、否定的論理和ゲート回路NR20からロウレベルを入力する否定的論理積ゲート回路NA21はハイレベルを出力し、これを入力する否定的論理和ゲート回路NR21はロウレベルを出力する。即ち、信号Sをロウレベルに固定すれば、他の信号状態によらず、この回路状態が一義的に固定される。すなわち、このゲート回路は、n型MOS電界効果トランジスタTNGまたはp型MOS電界効果トランジスタTPVの導通状態に依存せずに回路状態が一義的に定まるように論理構成されている。

【0077】また、この静的動作モードでは、信号SCSはハイレベルに固定され、信号SCSはロウレベルに固定されるので、n型MOS電界効果トランジスタTNGおよびp型MOS電界効果トランジスタTPVはオフ状態となる。これにより、否定的論理積ゲート回路NA20、NA21の接地ノードの電位は、規定の接地電位よりもダイオードDIGの障壁電位 V_f 分だけ高い電位に固定され、また否定的論理和ゲート回路NR20、NR21の電源ノードの電位は、規定の電源電位よりもダイオードDIGの障壁電位 V_f 分だけ低い電位に固定される。これにより、上述のインバータIV20～IV23と同様に、各ゲート回路において、オフ状態にあるMOS電界効果トランジスタでのサブスレッショルド電流が抑制される。

【0078】なお、p型MOS電界効果トランジスタTPVおよびn型MOS電界効果トランジスタTNGのゲート閾値電圧は高く設定されているので、上述したようにダイオードDIV、DIG側に電流が有効に流れ込み、各ゲート回路の電源ノードおよび接地ノードの電位が、ダイオードの障壁電位 V_f 分だけシフトされて的確にクランプされる。

【0079】＜実施の形態6＞以下、この発明の実施の形態6を説明する。図7に、この実施の形態6に係る半導体装置の特徴部を示す。上述の実施の形態1では、バンド間リーク電流に起因したメモリセルアレイでの消費

電流の抑制を主目的として回路構成したが、この実施の形態6では、さらに論理回路を含む全回路系でのバンド間リーク電流に起因する消費電流の抑制を主目的とする。

【0080】図7(a)に、p型MOS電界効果トランジスタでのバンド間リーク電流を抑制するための構成例を模式的に示す。同図において、p型MOS電界効果トランジスタTP30およびn型MOS電界効果トランジスタTN30は、外部から入力信号を受ける初段のインバータを構成する。否定的論理積ゲート回路NA30および否定的論理和ゲート回路NR30は、例えばブリデコードやメインデコード系を構成する。

【0081】メモリセルMCは、前段の否定的論理和ゲート回路NR30により選択され、図示しない経路を介して外部から入力されるデータを記憶するものである。センスアンプSAは、メモリセルMCから出力されたデータ信号を増幅するように構成される。このセンスアンプSAにより増幅されたデータ信号は、p型MOS電界効果トランジスタTP31およびn型MOS電界効果トランジスタTN31からなる出力バッファを介して外部に出力される。これら一連の回路系を構成する各要素回路の電源ノードは電源配線VLに接続され、この電源配線VLの電位は、上述のp型MOS電界効果トランジスタTPVおよびダイオードDIVにより供給される。なお、p型MOS電界効果トランジスタの基板(nウェル)は、ソースと共に電源配線VLに接続される。

【0082】この構成によれば、静的動作モードにおいて、全回路系に亘って一律に電源ノードの電位がダイオードDIVの障壁電位 V_f 分だけ低下するので、この回路系の内部信号の振幅が小さくなる。従って、p型およびn型を問わず、オフ状態にあるMOS電界効果トランジスタのドレイン近傍での電界強度が緩和され、バンド間リーク電流の発生が抑制され、このバンド間リーク電流に起因した消費電流を抑制することができる。

【0083】図7(b)に示す例は、上述の回路系の接地ノードを接地配線GLに接続し、この接地配線GLの電位を、上述のn型MOS電界効果トランジスタTNGおよびダイオードDIGにより供給するようにしたものである。n型MOS電界効果トランジスタの基板は、ソースと共に接地配線GLに接続される。この構成によれば、上述の図7(a)に示す構成と同様に、全回路系に亘って一律に接地ノードの電位がダイオードDIVの障壁電位 V_f 分だけ上昇するので、この回路系の内部信号の振幅が小さくなる。従って、同様にドレイン近傍での電界強度が緩和され、バンド間リーク電流に起因した消費電流を抑制することができる。

【0084】この実施の形態6によれば、半導体装置を構成する内部回路全体に供給される電源電位または接地電位を一律にシフトさせるものとしたので、電界効果トランジスタのゲート酸化膜に印加される電界が一律に緩

和される。これにより、上述のバンド間リーク電流の抑制に加えて、ゲート酸化膜を流れるトンネル電流をも抑制することが可能となる。

【0085】また、この実施の形態6によれば、入力初段を構成するp型MOS電界効果トランジスタTP30およびn型MOS電界効果トランジスタTN30を除いて、否定的論理積ゲート回路NA30、否定的論理和ゲート回路NR30、メモリセルMC、センスアンプSA等の内部回路において、電界効果トランジスタのゲート酸化膜を流れるトンネル電流成分(図1(c)に示す電流成分)によるリーク電流を低減することが可能となる。

【0086】例えば、図7(a)において、入力初段に外部からハイレベルが入力されている場合、n型MOS電界効果トランジスタTN30のソースとゲート間には、外部信号の信号レベルに応じた電圧がそのまま印加されるため、このn型MOS電界効果トランジスタTN30のゲート酸化膜に高電界が印加される。この結果、ゲート酸化膜をトンネル電流が流れる。これに対し、例えば次段の否定的論理積ゲート回路NA30の入力信号の振幅は、ダイオードD1Vの障壁電位分 V_f だけ減少したものとなるので、この否定的論理積ゲート回路NA30を構成する電界効果トランジスタのゲート酸化膜に印加される電界が緩和される。この結果、この否定的論理積ゲート回路NA30のゲート酸化膜を流れるトンネル電流が低減される。否定的論理和ゲート回路NR30等についても同様である。

【0087】上述の図7(a)に示す構成と同様のことが、同図(b)に示す構成についても言える。ただし、図7(a)、(b)に示す例の効果上のちがいは、外部から入力される信号レベルにより、入力初段を構成するp型MOS電界効果トランジスタTP30およびn型MOS電界効果トランジスタTN30の何れでトンネル電流が発生するかにある。

【0088】なお、この実施の形態6では、全回路系に亘って一律に電源ノードまたは接地ノードの電位をシフトさせ、バンド間リーク対策を講じるものとしたが、上述の実施の形態1ないし5のように、各回路ブロックを構成する電界効果トランジスタの基板電位を適宜設定することにより、バンド間リーク対策とサブスレッショルド電流対策とを組み合わせることも可能である。

【0089】即ち、各回路ブロックでは、その回路機能に応じた特性の電界効果トランジスタが用いられ、そのトランジスタパラメータは最適化されており、従ってリーク電流対策は各回路ブロックによって異なる。例えば、メモリセルでは、データ保持特性を優先的に確保する必要上、電界効果トランジスタのゲート閾値電圧が高めに設定され、サブスレッショルドリークが抑制されている。従って、この発明をメモリセルに適用する場合、

バンド間リーク対策を主体とした回路構成を採用すればよい。また、周辺の論理回路部分では、動作速度を優先的に確保する必要上、電界効果トランジスタのゲート閾値電圧が低めに設定される。従って、この発明を周辺の論理回路部分に適用する場合、サブスレッショルドリーク対策を主体とした回路構成を採用すればよい。

【0090】さらに、論理回路やメモリセル以外の回路ブロックにもこの発明を適用することができる。例えば、フリップフロップを主体として構成されたラッチ回路については、同じくフリップフロップを主体として構成されたメモリセルと同様のリーク対策が可能である。バンド間リーク対策を主体とするかサブスレッショルドリーク対策を主体とするかについては、各回路ブロックの特質(例えばその回路ブロックを構成する電界効果トランジスタのゲート閾値電圧の高低、あるいはドレインとゲートとの間の電位差の大小など)に応じて選択すればよい。なお、高電位供給回路SUPVおよび低電位供給回路SUPGについては、各回路ブロックで共用可能であり、回路ブロックごとに設ける必要はない。

【0091】以上、この発明の実施の形態および実施例を説明したが、この発明は、これらの実施の形態および実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計変更等があっても本発明に含まれる。

【0092】

【発明の効果】この発明によれば、以下の効果を得ることができる。すなわち、この発明によれば、MOS電界効果トランジスタから構成された回路ブロックを含む半導体装置において、前記回路ブロックに対し、動的動作モードにおいて規定の電源電位または接地電位を供給すると共に、静的動作モードにおいて前記回路ブロックに供給される電源電位と接地電位との間の電位差が小さくなるように前記規定の電源電位または前記規定の接地電位をシフトして前記回路ブロックに供給する電位供給手段を備えたので、デバイス構造の微細化に伴って電源電圧が低下しても、動的動作モードにおける回路の動作速度が阻害されることがなく、静的動作モードにおける消費電流を有効に抑制することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1において対策の対象とされるリーク電流の発生メカニズムを説明するための図である。

【図2】 この発明の実施の形態1にかかる半導体装置の特徴部(メモリセルアレイ周辺)の構成を示す回路図である。

【図3】 この発明の実施の形態2にかかる半導体装置の特徴部(メモリセルアレイ周辺)の構成を示す回路図である。

【図4】 この発明の実施の形態3にかかる半導体装置の特徴部(メモリセルアレイ周辺)の構成を示す回路図である。

【図5】 この発明の実施の形態4にかかる半導体装置の特徴部（メモリセルアレイ周辺）の構成を示す回路図である。

【図6】 この発明の実施の形態5にかかる半導体装置の特徴部（多段接続されたゲート回路）の構成を示す回路図である。

【図7】 この発明の実施の形態6にかかる半導体装置の特徴部（アドレスデコード系）の構成を示す回路図である。

【符号の説明】

BLa, BLb : ビット線
DIG, DIV : ダイオード
GLA, GLB : 接地配線
VLA, VLB : 電源配線
IV20~IV23 : インバータ
MARY1~MARY3 : メモリアレイ
MC : メモリセル
Ma, Mb : 記憶ノード
NA20, NA21, NA30 : 否定的論理積ゲート回

路

NR20, NR21, NR30 : 否定的論理和ゲート回路

NG : 接地ノード

NV : 電源ノード

PCC : プリチャージ回路

SA : センスアンプ

SUPG : 低電位供給回路

SUPV : 高電位供給回路

TN1~TN4, TN10~TN40, TNG, TN30, TN31 : n型MOS電界効果トランジスタ

TP1, TP2, TPV, TP30, TP31 : p型MOS電界効果トランジスタ

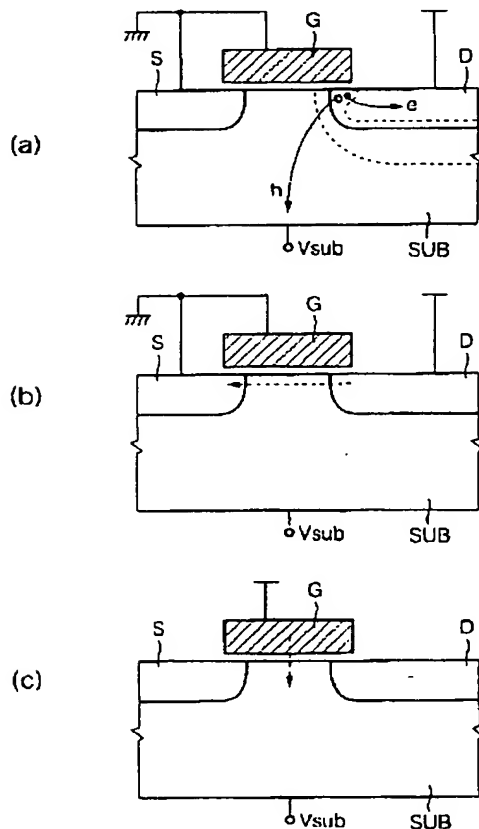
TPP1~TPP3 : p型MOS電界効果トランジスタ（プリチャージ用）

TG : 接地外部端子

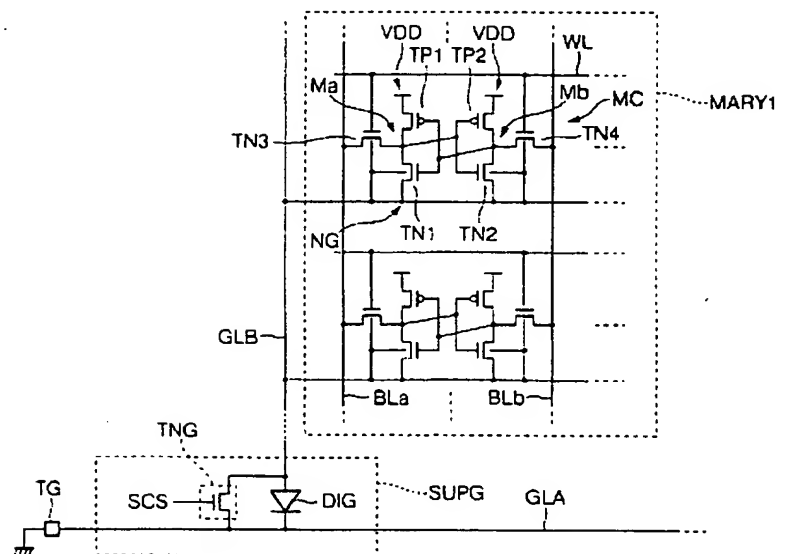
TV : 電源外部端子

WL : ワード線

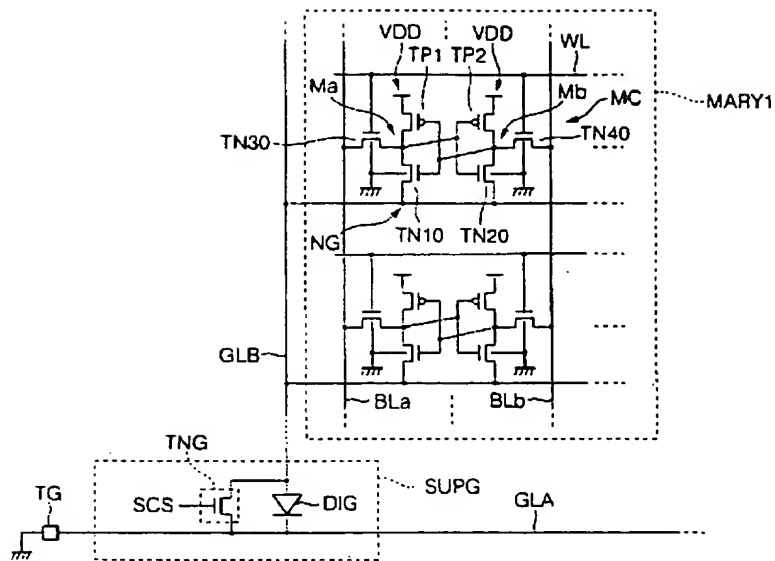
【図1】



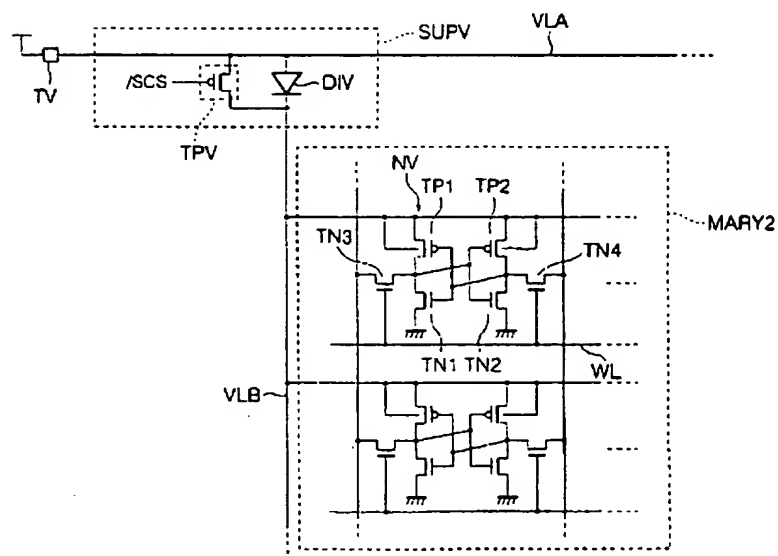
【図2】



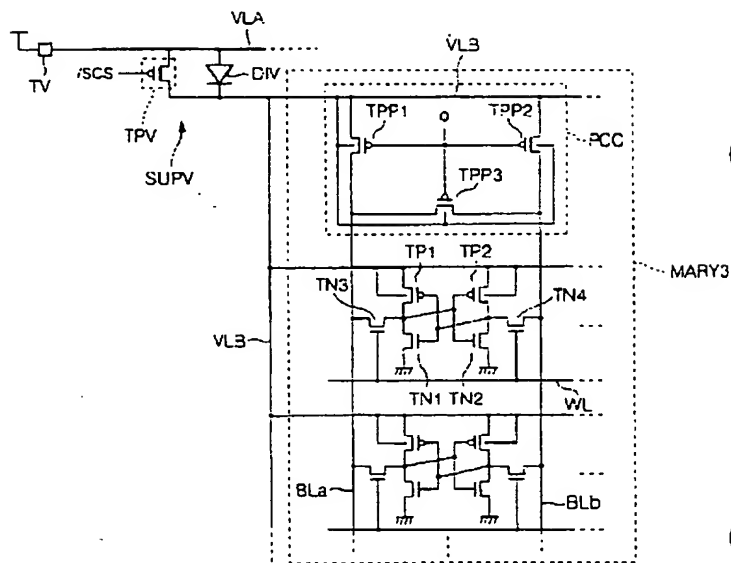
【図 3】



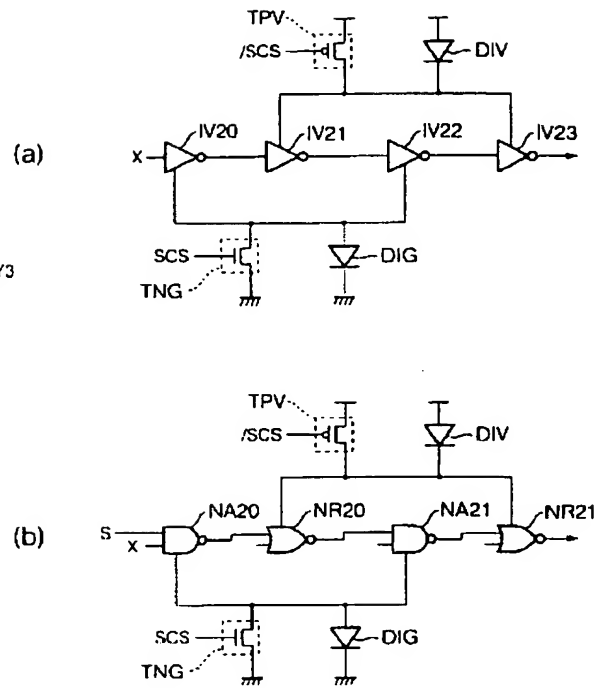
【图 4】



【図 5】



【図 6】



【図 7】

